

瞬态波形数字化在飞行时间测量中的应用研究

刘继国 安 琪

(中国科技大学近代物理系快电子学实验室 合肥 230027)

摘要 探讨了将瞬态波形数字化技术应用于粒子飞行时间 (TOF) 测量中的可行性, 并介绍了为了进行这一研究而设计的一个测试系统。经过测试, 系统的采样率可达 1.4 Gsps, 在 10 bit 变换精度下, 微分非线性小于 0.5 LSB, 积分非线性小于 8 LSB。通过采用乒乓工作方式, 系统在 10 K/s 计数率时的事例丢失率约为 1%。

关键词 飞行时间, 时间游动, 瞬态波形数字化

中图分类号 O456

在高能物理实验中, 为了提高粒子鉴别能力, 需要对粒子飞行时间 (Time of flight, TOF) 进行测量。所谓飞行时间, 指的是粒子从束流对撞点飞行到探测器所需要的时间。在一定距离下, 粒子的质量分辨和飞行时间分辨之间有如下关系:

$$\frac{\partial m}{m} = \left(\frac{E}{m_0 c^2} \right)^2 \frac{\partial t}{t} \quad (1)$$

所以, 为了提高对粒子的分辨能力, 必须提高时间测量的精度。在时间测量中, 目前通用的定时方法是前沿定时, 即设定一个阈值后, 测量脉冲前沿的过阈时间。前沿定时的优点是速度快, 电路简单。但是, 前沿定时会带来时间游动 (Time walk), 即过阈时间会随着粒子脉冲的不同而变化。通常会通过测量脉冲的幅度来对它进行修正。一些物理工作者提出, 如果能够将脉冲的形状采集下来, 则修正的效果应该会更好。但是, 由于这些脉冲的沿很快, 如果要对这样的脉冲进行采集, 要求采样系统具有很高的采样率。以北京谱仪 (BESIII) 为例, 光电倍增管的输出信号的前沿为 4 ns, 后沿为 8 ns。脉冲的前沿信息对于时间测量至关重要, 如果要对前沿进行 4 次采样, 就要求 1 Gsps 的采样率。要达到这么高的采样率, 传统的方法是采用 Flash ADC, 目前 Flash ADC 的采样率已经可以超过 1 Gsps^[1-3]。但是 Flash ADC 的功耗太高, 而且价格昂贵, 不适合在通道数多达数百甚至数千的大型高能物理实验中使用。

近年来, 出现了一种基于开关电容阵列的瞬态波形数字化技术。这种技术首先对信号进行高速、短时间的采样, 将采样结果存储到开关电容阵列中, 然后再进行低速模拟/数字变换。这些芯片的采样率

可以接近或超过 1 Gsps, 采样点通常在 128—512 之间。由于结构上的改变, 芯片的功耗比 Flash ADC 低很多, 而且具有多通道采样的能力。目前世界上已经出现了一些基于这种技术的芯片^[4-9], 其应用范围包括高能物理实验的本底测量^[5]、中微子探测^[8]和宇宙射线簇射观测^[9]等领域。但是由于目前还没有将这种技术应用于 TOF 测量中的先例, 而且现有的芯片也不是专为 TOF 测量设计的, 所以首先要对这种应用的可行性进行研究。

1 基于开关电容阵列的瞬态波形数字化技术介绍

基于开关电容阵列的瞬态波形数字化技术的核心是开关电容阵列。这种技术的原理是首先对波形的感兴趣部分进行短时间的连续采样, 并将采样结果存储到开关电容阵列中, 然后再进行数字化。这种技术的主要特点是高采样率 (通常可达 1 Gsps)、短时间连续采样 (128—512 个采样点)、低速高精度 A/D 变换。在早期的设计中, 芯片只具有模拟采样和存储功能, 而不具备数字化功能, 存储的模拟信号读出后, 送到外部的 ADC 进行变换^[4-7]。近年来, 开始出现内部集成 ADC 的芯片^[8-9]。典型的波形数字化芯片的结构如图 1 所示。

虽然波形数字化芯片的采样率很高, 但是为了保证变换的精度, 所以变换的速率比较低; 并且为了降低功耗和提高精度, 通常内部只集成少量 ADC, 所以, 死时间通常比较长。此外, 还需要有触发逻辑来判断何时进行采样。为了尽量减少片内的数字电路, 通常触发逻辑由外部完成, 芯片根据外部送来的触发信号工作。有些芯片采用内部触发方式^[9], 但是后来发现高速的数字逻辑会带来严重

第一作者: 刘继国, 男, 1978 年 3 月出生, 现为中国科技大学近代物理系快电子学实验室博士研究生, 研究方向为快电子学

收稿日期: 2003-12-10, 修回日期: 2004-06-08

的串扰。

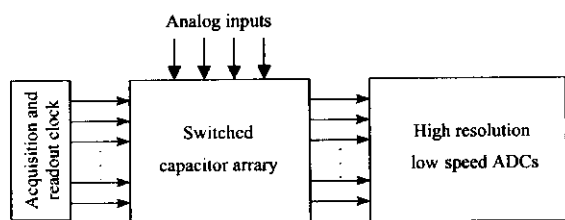


图1 波形数字化芯片的结构

Fig.1 Conceptual diagram of waveform digitizer

虽然这种技术具有高采样率、高变换精度的特点，但是其过长的死时间，会带来较高的事例丢失率，这在高能物理实验中是要尽量避免的。所以，如何将这种技术应用于 TOF 测量中，需要进行进一步的研究。为此我们选择了一种基于这种技术的芯片——ATWD，并针对这个芯片设计了一个测试系统，来进行这项研究。

2 ATWD 芯片

ATWD^[8] (Analog Transient Waveform Digitizer) 是由劳伦斯伯克利国家实验室 (LBNL) 设计的一种瞬态波形数字化芯片。其主要特点包括：

- 1) 4 通道，每通道 128 个采样点。
- 2) 采样率在 300 Msps 到 2 Gsps 之间可调。
- 3) 具有 128 个精度为 10bit 的线性放电 ADC，可以对任意一个通道的 128 个采样点进行同时变换。

图 2 是 ATWD 的结构简图。ATWD 的采样由外部提供的触发信号控制。触发信号的上升沿启动采样时钟产生电路，依次产生 128 个采样信号，控制 4 个通道进行采样，每个通道采集 128 个点。采集的数据被存储在 128×4 的开关电容阵列中。采样完成后，芯片根据控制信号选择任意一个通道，并行读出其 128 个模拟采样，送到 128 个 10 bit 的线性放电 ADC。每个 ADC 包含一个比较器和一个 10bit 锁存器。所有 128 个 ADC 共享一个片内放电信号和一个格雷码计数器，格雷码计数器在计数时钟的前后沿均计数，这样可以缩短 ADC 的变换时间。变换完成后，通过移位寄存器将 128 个锁存器中的数据顺序读出。

ATWD 具有灵活的工作方式。通过改变采样偏置电流，ATWD 的采样率可以在 0.3—2 Gsps 之间调节。通过改变外接的放电控制电阻，可以调节 ADC 的放电速率。此外，ATWD 还提供了放电起始电平、模拟参考电平等控制引脚，通过调节控制电压，可以改变 ATWD 的采样率、变换精度、信号动

态范围等。

在 40 MHz 计数时钟、10 MHz 读出时钟的情况下，ATWD 的单通道变换死时间为：

$$\begin{aligned} t_{\text{dead}} &= t_{\text{sampling}} + t_{\text{digitizing}} + t_{\text{readout}} \\ &= 128 + 12.5 \times 1024 + 100 \times 128 \\ &= 25728 \text{ (ns)} \end{aligned} \quad (2)$$

为了减小死时间的影响，需要采用乒乓方式，即用两片 ATWD 采集一个闪烁体的数据。当一片 ATWD 忙的时候，如果有新的事例到达，则使用另外一片 ATWD。后面我们将对此进行专门的讨论。

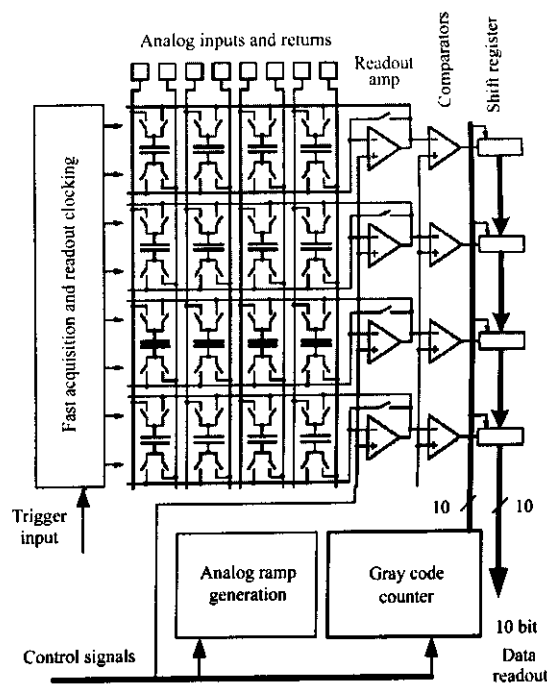


图2 ATWD 的芯片结构

Fig.2 Simplified ATWD circuit diagram

3 测试系统设计

测试系统的结构如图 3 所示。信号 1 和信号 2 分别来自同一个闪烁体两端的光电倍增管，信号 3 和信号 4 是来自另外一个闪烁体两端的光电倍增管，并且都经过了前置放大。下面简要介绍一下系统的设计：

3.1 前端电路

前端电路包括差分接收和甄别。差分接收采用全差分放大器，两个输出信号分别送到甄别器和延迟线，可以避免出现由于驱动多个负载导致信号的波形失真。甄别器采用高速 ECL 比较器，甄别阈是由 DAC 提供的，通过软件改变 DAC 的输出电压就可以实现对甄别阈的调节。

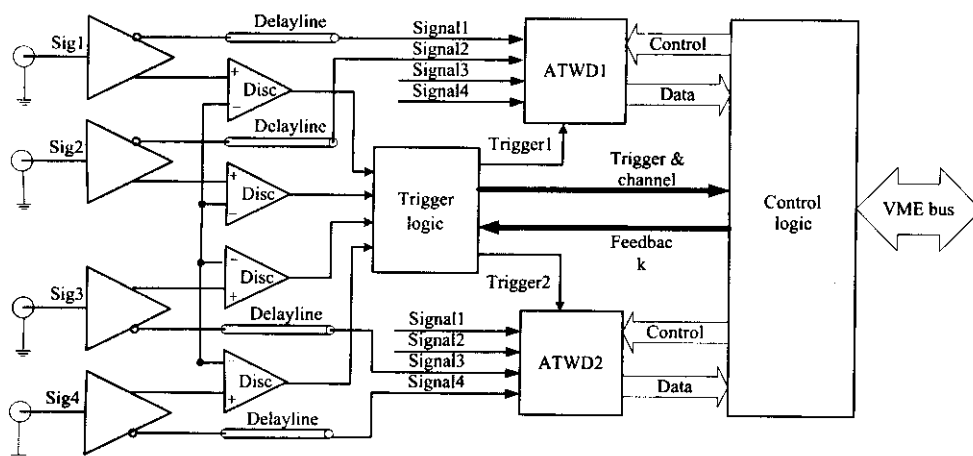


图 3 ATWD 测试系统框图

Fig.3 Block diagram of ATWD testing system

3.2 乒乓方式

差分接收的负输出端送到 ATWD 进行采样。为了减少事例丢失率,这里采用了乒乓方式,使用两片 ATWD 采集一个闪烁体的输出:当一片 ATWD 忙的时候,如果再有事例到达,则启用另一片 ATWD。由于 ATWD 具有 4 个通道,而每个闪烁体只有两个输出,为了节省 ATWD 的通道数,我们采用了两个闪烁体共享两片 ATWD 的方式。触发逻辑根据甄别器的输出以及当前两片 ATWD 的状态进行乒乓逻辑判断,产生 ATWD 的触发信号。同时,还要将触发信息和相关的通道情况通知控制逻辑,控制逻辑需要根据这些信息,对 ATWD 的数字化和数据的读出流程进行控制。由于 ATWD 的采样要由触发信号控制,而触发信号的产生需要时间,所以必须对输入的模拟信号进行一定时间的延迟,延迟量的长短由触发逻辑延迟决定。为了尽量减小由延迟线带来的波形失真,要求尽量减小延迟线的长度,为此,我们还对触发逻辑进行了专门的优化。最终的触发逻辑在一片 Altera 的 EPLD EPM7032B-3 中实现,触发逻辑延迟仅为 8.3 ns。

3.3 控制逻辑

控制逻辑包括 3 个子模块:

- 1) VME 总线接口。我们在系统中选用 VME 总线来进行参数设置和数据读出。
- 2) DAC 控制。完成 DAC 的初始化和输出的调节。
- 3) ATWD 控制模块。控制逻辑中包括两个 ATWD 控制模块,分别控制一个 ATWD 的数字化、数据读出和复位功能。

为了简化硬件设计,我们将全部控制逻辑在一片 Altera 公司的 FPGA, EPC1K100QC208 中实现。

4 结果分析

4.1 ATWD 参数测试

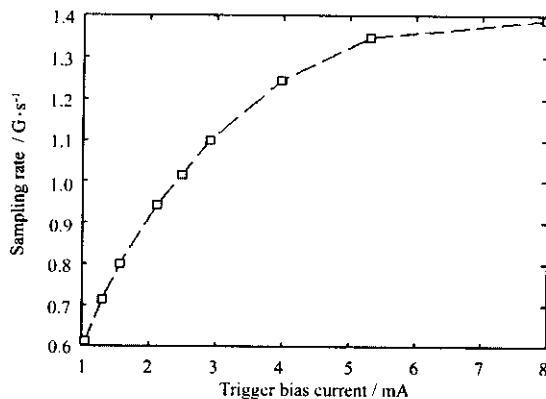


图 4 采样率随触发偏置电流的变化

Fig.4 Sampling rate vs. trigger bias current

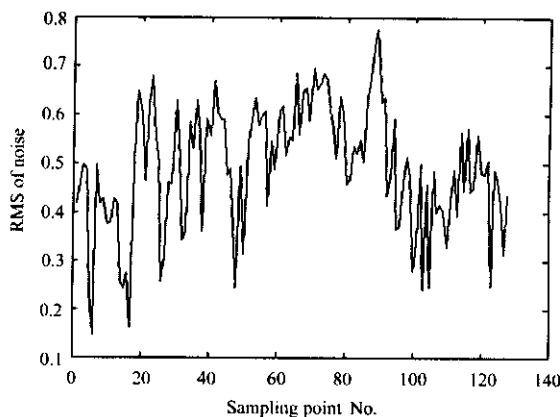


图 5 各采样点的噪声均方根

Fig.5 RMS of noise at all sampling points

我们对系统进行了一系列的测试,测试采用的信号源是 Agilent 生产的 33250A,这是一款 12bit 的信号发生器。

首先要确定 ATWD 的工作参数。我们测试了输入不同电流情况下 ATWD 的采样率(图 4)。经过测试,我们发现当采样率到达 1.4 Gsps 以上后,需要的偏置电流会随着采样率的增加而急剧增大。我们将 ATWD 的模拟参考电压选定为 2.5 V,放电开始电压选定为 2.55 V,放电电阻设置为 10 k Ω ,在这种情况下,输入信号幅度的动态范围为 0.5 到 2.5 V,变换精度为 10 bit。

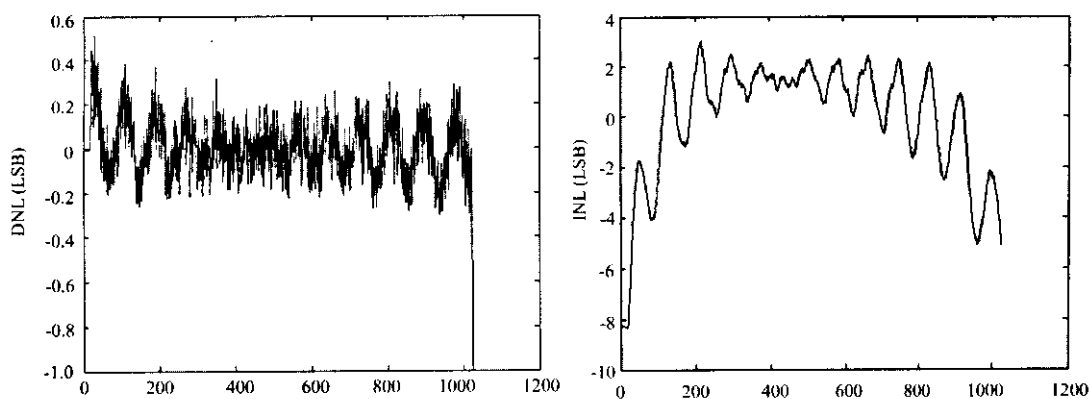


图6 微分非线性和积分非线性

Fig.6 DNL and INL

此外,我们还测量了系统的微分非线性和积分非线性。我们的测量方法是:用信号源产生幅度为 2.7 V,偏置为 0 V、Symmetry 为 50%、频率为 970 kHz 的锯齿波,送入 ATWD 进行采集,然后用直方图法^[11]来计算 ATWD 的微分非线性和积分非线性,结果如图 6 所示。

4.2 事例丢失率分析

乒乓工作方式已经成功实现。下面我们对采用乒乓方式下的事例丢失率进行分析。假设闪烁体的事例率为 4 K/s,由于我们采用两个闪烁体共用两片 ATWD 的方式,这相当于将事例率提高了一倍,为 8 K/s。但是,并非所有的触发结果都要数字化。ATWD 将波形采集下来后,并不马上开始进行变换,而是等待触发系统提供的 L1 Trigger 信号。在 BESIII 中,L1 Trigger 的产生延迟为 6.4 μ s。如果在 6.4 μ s 时,L1 Trigger 有效,则对采样结果进行变换,否则就将采集的波形丢弃。经过 L1 Trigger 判选后,事例率会大幅度下降。以 BESIII 为例,TOF 系统的总 L1 Trigger 事例率为 4 K/s,端盖和桶部共 136 块闪烁体,考虑到每次有效事例都会有多个次级粒子,

我们输入一个电平,然后进行多次采样,并对采样结果进行误差分析,结果表明,所有 128 个采样点,每个点的噪声的均方根都小于 0.78LSB(图 5)。在测试中,还发现对于相同幅度的输入,128 个采样点的输出并不相同,而是存在一个固定的偏差,相当于每个开关电容有一个固定的台阶电压,这个偏差可以在离线分析时减掉。测试中还发现,ATWD 的 4 个通道之间存在串扰,但是由于串扰和输入信号之间的关系是可以测量的,所以同样可以通过离线分析消除。

假设平均每次有 10 个次级粒子,则每个闪烁体对应的 L1 Trigger 次数为 294/s,由于每个 ATWD 要数字化两个闪烁体的脉冲,所以需要进行数字化的事例率加倍,为 588/s,这个事例率仅相当于总事例率的 7.35%。所以,对于绝大多数事例,死时间等于 L1 Trigger 延迟,也就是 6.4 μ s。事例丢失率其实就是在 6.4 μ s 内产生 2 个事例的概率,其大小服从泊松分布:

$$P(2, \Delta t) = \frac{(\bar{n}\Delta t)^2}{2!} e^{-\bar{n}\Delta t} \approx 1.25 \times 10^{-3} \quad (3)$$

对于那些需要数字化的事例,由于需要完成两个通道的数字化和读出,所以其死时间为:

$$t_{\text{dead}} = 128\text{ns} + 2 \times (12.5\text{ns} \times 1024 + 100\text{ns} \times 128) + 6.4\mu\text{s} \approx 58\mu\text{s} \quad (4)$$

虽然这些事例的死时间比较长,但是由于其事例率很低,所以事例丢失率不会大幅度上升。即使有 10 K/s 的计数率,由 6.4 μ s 的触发延迟带来的事例丢失率也只有 0.7%,总的事例丢失率应该在 1% 左右。考虑到通常闪烁体 TOF 探测器的探测效率一般在 98%—99%,因此采用乒乓方式后,波形数字化技术至少可以支持 10 K/s 的计数率。

5 总结与展望

本文探讨了将波形数字化技术应用于 TOF 测量系统的可能性。为此,我们设计了一个测试系统,对 ATWD 进行了一系列的测试。测试结果表明,芯片的采样率至少可以达到 1.4 Gsps。在 10 bit 变换精度下,系统的积分非线性小于 8 LSB,微分非线性不超过 50%,由噪声带来的测量误差小于 0.8 LSB。通过采用乒乓方式,系统可以支持 10 K/s 的计数率。

为了得到好的时间修正效果,高的采样率至关重要。就本系统而言,其 1.4 Gsps 的采样率对 4 ns 的信号而言并不是很高,但是目前已经出现采样率在 3 Gsps 以上的波形数字化芯片^[9]。此外,ATWD 的死时间比较长的原因是其计数时钟和读出时钟频率太低,文献[10]中介绍了一种正在设计中的芯片,其计数时钟频率为 100 MHz,数据读出速率超过 100 MB/s,死时间将大大缩短。

波形数字化不仅可以应用在时间游动效应修正上,还可以提供本底剔除、双脉冲分辨能力。此外,由于目前世界上还没有这种应用的先例,所以修正方法的研究也将是一个重要的课题。

参考文献

- 1 Choi Michael, Abidi A A. ISSCC Digest of Technical Papers, 2001, 126—127
- 2 Geelen Govert. ISSCC Digest of Technical Papers, 2001, 128—129
- 3 Scholtens Peter C S. IEEE Journal of Solid-State Circuits, 2002, 37(12): 1599—1609
- 4 Stuart Kleinfelder. IEEE Trans on Nuclear Science, 1990, 37(3): 1230—1236.
- 5 Bronnimann C, Horisberger R, Schnyder R. Nucl Instr Meth, 1999, A420: 264—269.
- 6 Haller G M. IEEE Trans on Nuclear Science, 1994, 41(4): 1203—1207
- 7 Panevianco S, Presti D, Russo G, *et al.* Nucl Instr Meth, 1999, A434: 424—434
- 8 Kleinfelder Stuart. IEEE Trans on Nuclear Science, 2003, 50(4): 955—962
- 9 Varner G S, Gorham Peter, Cao Jing. Proceedings of the SPIE, 2003, 4858: 284—295
- 10 Gary S. Varner, “LABRADOR Preliminary Internal Design Review”, http://www.phys.hawaii.edu/~idlab/project_files/anita/docs/LABRADOR_Review.pdf
- 11 Doernberg J, Lee H S, Hodges D A. IEEE J Solid-State Circuit, 1984, 19(6): 820—827

Research on application of transient waveform digitizer in TOF measurement

LIU Jiguo AN Qi

(Modern Physics Deptment, University of Science and Technology of China, Hefei 230027)

Abstract The possibility of using transient waveform digitizer in TOF measurement is discussed, and a test system designed for the research is introduced. Test results show that the sampling rate can reach 1.4 G/s, DNL is less than 0.5 LSB, and INL is less than 8 LSB. By using Ping-Pong mode, the event loss rate at 10 K/s event rate is about 1%.

Key words Time of flight (TOF), Time walk, Transient waveform digitizer

CLC O456